

BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 09-274859

(43)Date of publication of application : 21.10.1997

(51)Int.Cl.

H01J 11/00

H01J 11/02

(21)Application number : 08-081421

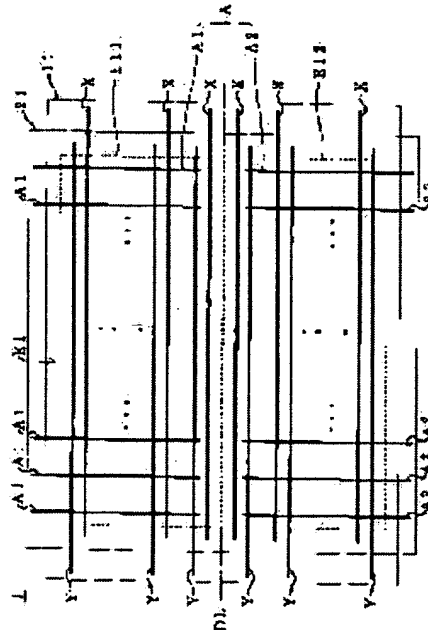
(71)Applicant : FUJITSU LTD

(22)Date of filing : 03.04.1996

(72)Inventor : KUROKI MASAKI
GUEN TAN NIYAN**(54) SURFACE DISCHARGE TYPE PDP****(57)Abstract:**

PROBLEM TO BE SOLVED: To prevent erroneous discharge in a boundary of a partial screen in the case a display screen is divided and addressing is carried out at high speed.

SOLUTION: In this PDP(plasma display panel), a plurality of main electrode pairs consisting of a first and a second sustain electrodes X, Y are arranged in a first substrate 11 and a plurality of address electrodes A are arranged on a second substrate 21 as to cross these main electrode pairs and electrode matrix corresponding to a display screen E1 is composed of the main electrode pairs and the address electrodes A. In this case, respective address electrodes A are divided into mutually parted partial address electrodes A1, A2 at the middle positions of mutually neighboring main electrode pairs in the row direction as the dividing positions and consequently, the display screen E1 is divided into a plurality of partial screens E11, E12 and the gap between the partial electrodes A1, A2 is made practically wider than the gap between neighboring main electrode pairs.

**LEGAL STATUS**

[Date of request for examination] 07.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3688055

[Date of registration] 17.06.2005

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-274859

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	K
11/02			11/02	B

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平8-81421

(22) 出願日 平成8年(1996)4月3日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 黒木 正軌

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 ゲン タン ニヤン

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

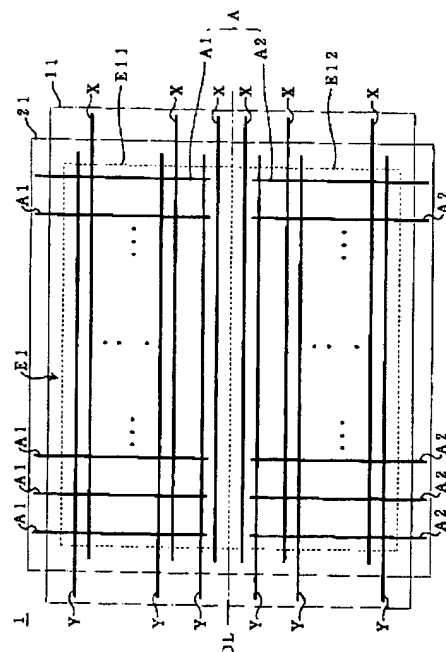
(54) 【発明の名称】 面放電型 P D P

(57) 【要約】

【課題】 表示画面を区画してアドレッシングの高速化を図る場合における部分画面の境界での誤放電を防止することを目的とする。

【解決手段】 第1の基板11上に第1及び第2のサステイン電極X、Yからなる複数の主電極対が配列され、これら主電極対と交差するように複数のアドレス電極Aが第2の基板21上に配列されており、主電極対とアドレス電極Aとによって表示画面E1に対応した電極マトリクスが構成された面放電型PDPにおいて、個々のアドレス電極Aが、列方向における隣接した主電極対どうしの間の位置を分割位置として、互いに離れた部分アドレス電極A1、A2に分割し、それによって表示画面E1を複数の部分画面E11、E12に区画し、部分アドレス電極どうしの間隔を、隣接する主電極対どうしの間隔よりも実効的に大きくする。

本発明のPDPの電極構造を示す平面図



【特許請求の範囲】

【請求項 1】第 1 の基板上に、互いに平行な第 1 及び第 2 のサステイン電極からなる複数の主電極対が列方向に沿って配列され、これら主電極対と交差するように複数のアドレス電極が前記基板と対向する第 2 の基板上に行方向に沿って配列されており、前記主電極対と前記アドレス電極とによって表示画面に対応した電極マトリクスが構成された面放電型 PDP であって、個々のアドレス電極が、列方向における隣接した主電極対どうしの間の位置を分割位置として、互いに離れた少なくとも 2 以上の部分アドレス電極に分割され、それによって前記表示画面がアドレス電極の分割数と同数の部分画面に区画されており、部分アドレス電極どうしの間隔が、これら部分アドレス電極の間の前記分割位置を挟んで隣接する主電極対どうしの間隔よりも実効的に大きいことを特徴とする面放電型 PDP。

【請求項 2】前記第 1 及び第 2 のサステイン電極は、前記分割位置を挟んで第 1 のサステイン電極どうしが隣接するように配列され、前記部分アドレス電極は、平面視において前記分割位置に最も近い前記第 1 のサステイン電極と重ならないように設けられてなる請求項 1 記載の面放電型 PDP。

【請求項 3】前記表示画面が列方向に並ぶ 2 つの部分画面に区画され、

一方の部分画面と他方の部分画面とに、前記第 1 及び第 2 のサステイン電極が互いに逆の順序で配列されてなる請求項 2 記載の面放電型 PDP。

【請求項 4】前記 2 つの部分画面の一方に対応した部分アドレス電極は、前記第 2 の基板の列方向の一端側の縁部に導出され、他方の部分画面に対応した部分アドレス電極は前記基板の他端側の縁部に導出されてなる請求項 3 記載の面放電型 PDP。

【請求項 5】前記第 1 のサステイン電極は、前記第 1 の基板の行方向の一端側の縁部に導出され、前記第 2 のサステイン電極は、他端側の縁部に導出されてなる請求項 1 乃至請求項 4 のいずれかに記載の面放電型 PDP。

【請求項 6】前記部分アドレス電極どうしの間に、電極間隔を実効的に延長する隔壁が設けられてなる請求項 1 乃至請求項 5 のいずれかに記載の面放電型 PDP。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電セルを画定する電極対を有したマトリクス表示形式の AC 型の PDP（プラズマディスプレイパネル）に関する。

【0002】選択発光に壁電荷を利用する AC 駆動形式の PDP の内、特に面放電型 PDP は蛍光体によるカラー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】図 5 は従来の面放電型 PDP 80 の電極構造を示す平面図、図 6 は従来の面放電型 PDP 80 の内部構造を示す分解斜視図である。

【0004】PDP 80 は、互いに平行に延びる直線状のサステイン電極（主電極） X_j 、 Y_j からなる複数の電極対 $12j$ と、サステイン電極 X_j 、 Y_j と直交する複数の直線状のアドレス電極 A_j とを有する。各電極対 $12j$ はマトリクス表示の 1 ライン（行）に対応し、各アドレス電極 A_j は 1 列に対応する。つまり、サステイン電極群とアドレス電極群とが交差する範囲の領域 $E1$ が表示画面（スクリーン）である。なお、表示画面 $E1$ の周囲には、ガラス基板 $11j$ 、 $21j$ を接合する封止材 $31j$ のガス放出の影響を避けるため、所定幅の非発光領域 $E2$ が設けられている。

【0005】図 6 のように、PDP 80 は、前面側のガラス基板 $11j$ 、サステイン電極 X_j 、 Y_j 、AC 駆動のための誘電体層 $17j$ 、保護膜 $18j$ 、背面側のガラス基板 $21j$ 、アドレス電極 A_j 、平面視直線状の隔壁 $29j$ 、及びフルカラー表示のための蛍光体層 $28j$ などから構成されている。内部の放電空間 $30j$ は、隔壁 $29j$ によってライン方向（サステイン電極 X_j 、 Y_j の延長方向）にサブピクセル EU 毎に区画され、且つその間隔寸法が規定されている。

【0006】サステイン電極 X_j 、 Y_j は、ガラス基板 $11j$ の内面に配列されており、それぞれが幅の広い透明導電膜 $41j$ と導電性を確保するための金属膜 $42j$ とから構成されている。透明導電膜 $41j$ は、面放電が広がるように金属膜 $42j$ より幅の広い帯状にパターンニングされている。

【0007】蛍光体層 $28j$ は、サステイン電極 X_j 、 Y_j から遠ざけて面放電によるイオン衝撃を軽減するために背面側のガラス基板 $21j$ 上の各隔壁 $29j$ の間に設けられており、面放電で生じた紫外線によって局部的に励起されて発光する。蛍光体層 $28j$ の表層（放電空間と接する面）で発光した可視光の内、ガラス基板 $11j$ を透過する光が表示光となる。

【0008】マトリクス画面のピクセル（画素）EG は、ライン方向に並ぶ 3 つのサブピクセル EU からなる。これら発光色（R、G、B）は互いに異なり、R、G、B の組み合わせによってカラー表示が行われる。隔壁 $29j$ の配置パターンはいわゆるストライプパターンであり、放電空間 $30j$ の内の各列に対応した部分は、全てのラインに跨がって列方向に連続している。各列内のサブピクセル EU の発光色は同一である。

【0009】PDP 80 による表示に際しては、各サブピクセル EU の点灯（発光）／非点灯の選択（アドレッシング）に、アドレス電極 A_j と電極対 $12j$ の一方のサステイン電極 Y_j とが用いられる。すなわち、N 本（N はライン数）のサステイン電極 Y_j に対して 1 本ずつ順にスキャンパルスを加えることによってライン走

査が行われ、サステイン電極 Y_j と表示内容に応じて選択されたアドレス電極 A_j との間での対向放電（アドレス放電）によって、ライン毎に所定の帯電状態が形成される。アドレッシングの後、サステイン電極 X_j とサステイン電極 Y_j とに交互に所定波高値のサステインパルスを加えると、アドレッシングの終了時点で所定量の壁電荷が存在したセルで面放電（サステイン放電）が生じる。

【0010】

【発明が解決しようとする課題】上述のようにライン走査によってアドレッシングを行う場合には、画面の大型化又は高精細化によってライン数 N が増加すると、アドレッシングの所要時間が長くなる。テレビジョンでは1フレーム（1画面の表示期間）が固定であるので、アドレッシング期間が長くなるにつれてサステイン期間が短くなり、表示の輝度が低下する。また、フレーム分割による階調表示が困難になる。

【0011】そこで、表示画面 E_1 を列方向（図5の上下方向）に区画し、列方向に並ぶ複数の部分画面に対するアドレッシングを同時に行うことが考えられる。その場合には、アドレス電極 A_j も部分画面毎に分割する。表示画面 E_1 を2分割すれば、アドレッシングの所要時間を $1/2$ にすることができる。

【0012】しかし、従来では、サステイン電極 X_j とサステイン電極 Y_j とが列方向に沿って交互に配列されていたので、部分画面どうしの境界で誤放電の生じる確率が高いという問題があった。

【0013】図7は従来の問題点を説明するための図である。図7（B）は図7（A）のb-b矢視断面の電極構造を示している。図7の例では、表示画面 E_1 が2つの部分画面 E_{11} 、 E_{12} に区画されている。部分画面 E_{11} 、 E_{12} には、これらの境界からみて対称に部分アドレス電極 A_{1j} 、 A_{2j} が配置されている。ただし、実際上は基板対の重ね合わせの位置ずれによって対称性に若干の誤差が生じる。部分画面 E_{11} の部分アドレス電極 A_{1j} と部分画面 E_{12} の部分アドレス電極 A_{2j} の距離 D_j は、ライン間の電極間距離 d より小さい値に選定されている。これにより、重ね合わせの位置ずれが生じた場合にもサステイン電極 Y_j と部分アドレス電極 A_{1j} との対向関係が適正となる。

【0014】2つの部分画面 E_{11} 、 E_{12} に対するアドレッシングを同時に行う場合には、片側の部分画面のみでアドレス放電を生じさせるときに、2つの部分アドレス電極 A_{1j} 、 A_{2j} の間に電位差が生じる。したがって、距離 D_j が小さいほど、部分アドレス電極 A_{1j} 、 A_{2j} どうしの間、及び一方の部分画面のサステイン電極 Y_j と他方の部分画面の部分アドレス電極 A_{2j} （又は A_{1j} ）との間で不要の放電が生じ易い。

【0015】本発明は、表示画面を区画してアドレッシングの高速化を図る場合における部分画面の境界での誤

放電を防止することを目的としている。

【0016】

【課題を解決するための手段】請求項1の発明のPDPは、第1の基板上に、互いに平行な第1及び第2のサステイン電極からなる複数の主電極対が列方向に沿って配列され、これら主電極対と交差するように複数のアドレス電極が前記基板と対向する第2の基板上行方向に沿って配列されており、前記主電極対と前記アドレス電極とによって表示画面に対応した電極マトリクスが構成された面放電型PDPであって、個々のアドレス電極が、列方向における隣接した主電極対どうしの間の位置を分割位置として、互いに離れた少なくとも2以上の部分アドレス電極に分割され、それによって前記表示画面がアドレス電極の分割数と同数の部分画面に区画されており、部分アドレス電極どうしの間隔が、これら部分アドレス電極の間の前記分割位置を挟んで隣接する主電極対どうしの間隔よりも実効的に大きい構造のPDPである。平面視における部分アドレス電極どうしの間隔が主電極対どうしの間隔よりも小さい場合であっても、例えば部分アドレス電極どうしの間に突起を形成すれば、放電を抑制する上で、実効的に部分アドレス電極どうしの間隔は大きくなる。すなわち部分アドレス電極間隔の実効長が延びる。

【0017】請求項2の発明のPDPは、前記第1及び第2のサステイン電極が、前記分割位置を挟んで第1のサステイン電極どうしが隣接するように配列され、前記部分アドレス電極が、平面視において前記分割位置に最も近い前記第1のサステイン電極と重ならないように設けられたものである。

【0018】請求項3の発明のPDPは、前記表示画面が列方向に並ぶ2つの部分画面に区画され、一方の部分画面と他方の部分画面とに、前記第1及び第2のサステイン電極が互いに逆の順序で配列されたものである。

【0019】請求項4の発明のPDPでは、前記2つの部分画面の一方に対応した部分アドレス電極が、前記第2の基板の列方向の一端側の縁部に導出され、他方の部分画面に対応した部分アドレス電極が前記基板の他端側の縁部に導出されている。

【0020】請求項5の発明のPDPでは、前記第1のサステイン電極が前記第1の基板の行方向の一端側の縁部に導出され、前記第2のサステイン電極が他端側の縁部に導出されている。

【0021】請求項6の発明のPDPでは、前記部分アドレス電極どうしの間に、電極間隔を実効的に延長する隔壁が設けられている。

【0022】

【発明の実施の形態】図1は本発明のPDP1の電極構造を示す平面図、図2は本発明のPDP1の要部断面図である。

【0023】PDP1は、マトリクス表示の各ライン毎

に一对のサステイン電極X、Yが設けられた面放電型PDPである。表示画面E1は、アドレッシングを高速化するために列方向に並ぶ2個の部分画面E11、E12に区画されている。表示画面E1の全体のライン数は2nであり、部分画面E11、E12のライン数はともにnである。部分画面E11の各列には部分アドレス電極A1が設けられ、部分画面E12の各列には部分アドレス電極A2が設けられている。列方向に並ぶ一对の部分アドレス電極A1、A2が表示画面E1の1列に対応したアドレス電極Aを構成する。部分アドレス電極A1はガラス基板21の列方向の一端側の縁部に、部分アドレス電極A2は他端側の縁部に導出されている。サステイン電極Xはガラス基板11の行方向の一端側の縁部に、サステイン電極Yは他端側の縁部に導出されている。

【0024】PDP1では、合計2n本のサステイン電極Xと合計2n本のサステイン電極Yとが、部分画面E11、E12の境界DLをサステイン電極Xで挟み、その境界DLを中心線ととして列方向に沿って対称に並ぶように配列されている。つまり、部分画面E11では、境界DLの側から先頭ラインの側へ向かってX、Y、X、Y…X、Yの順にサステイン電極X、Yが交互に配列され、部分画面E12では、境界DLの側から最終ラインの側へ向かってX、Y、X、Y…X、Yの順（部分画面E11と逆の順序）にサステイン電極X、Yが交互に配列されている。そして、各部分アドレス電極A1は、部分画面E11内の全てのサステイン電極Y及び境界DLと隣接する1本のサステイン電極Xを除く他の(n-1)本のサステイン電極Xと重なる（交差する）ように設けられている。同様に、各部分アドレス電極A2は、部分画面E12内の全てのサステイン電極Y及び境界DLと隣接する1本のサステイン電極Xを除く他のサステイン電極Xと重なるように設けられている。

【0025】図2のように、サステイン電極X、Yは、前面側のガラス基板11の内面に配置されており、それぞれが透明導電膜41と金属膜42とからなる。サステイン電極X、Yを被覆する誘電体層17の表面にはMgOからなる保護膜18が蒸着されている。部分アドレス電極A1、A2は、背面側のガラス基板21の内面に配置され、絶縁層24で被覆されている。絶縁層24の上に、図示しない隔壁、及び蛍光体層28が設けられている。各隔壁は、放電空間30をライン方向にサブピクセル毎に区画し、且つ放電空間30の間隙寸法が一定に規定する役割をもつ。PDP1の隔壁構造及び蛍光体の配置パターンは、図7のPDP80と同一である。

【0026】PDP1による表示に際しては、部分画面E11ではサステイン電極Yと部分アドレス電極A1との間、部分画面E12ではサステイン電極Yと部分アドレス電極A2との間で基板の厚さ方向の放電（いわゆる対向放電）を生じさせることによってアドレッシングが行われる。部分アドレス電極A1と部分アドレス電極A

2との距離Dは、サステイン電極Xの幅wの2つ分、及びライン間の電極間距離dの合計($D=2w+d$)より長く、この合計に面放電ギャップ幅gの2つ分を加算した値より短い($2w+d < D < 2w+d+g$)。距離Dは、図7の電極構造における距離Djよりも大きく、両者の差はサステイン電極Xの幅wの2つ分よりも大きい。このことから、PDP1では、図7のPDP80よりもアドレッシングにおける誤放電が生じにくい。

【0027】次にPDP1の駆動方法の一例を説明する。図3は印加電圧の波形図である。例えば1フレームに1つのフィールドを対応づける。ただし、テレビジョンのようにインタレース形式で走査された画面（シーン）を再生する場合には、1画面の表示に2つのフィールドを用いる。

【0028】階調表示を行うためにフィールドを例えば6～8個程度のサブフィールドに分割する。各サブフィールドは、リセット期間TR、アドレス期間TA、及びサステイン期間TSからなる。各サブフィールドの輝度に適切な重み付けをして、各サブフィールドのサステイン期間TSにおける発光回数を設定する。各サブフィールドは、1つの階調レベルの画面表示期間である。

【0029】リセット期間TRは、それ以前の点灯状態の影響を防ぐため、部分画面E11及び部分画面E12の壁電荷の消去（全面消去）を行う期間である。全てのラインのサステイン電極Xに書込みパルスPWを印加し、同時に全ての部分アドレス電極A1、A2にパルスPaw（書込みパルスPWと同極性）を印加する。書込みパルスPWの立上がりに対応して全てのラインで強い面放電が生じ、誘電体層17に一旦、壁電荷が蓄積する。しかし、書込みパルスPWの立下がりに対応して、壁電荷によるいわゆる自己放電が生じ、誘電体層17の壁電荷が消失する。パルスPawは、背面側の壁面への壁電荷の蓄積を抑えるために印加される。

【0030】アドレス期間TAは、ライン順次のアドレッシングを行う期間である。サステイン電極Xを接地電位に対して正電位Vaxにバイアスする。この状態で、部分画面E11、E12のそれぞれにおいて例えば先頭のラインから1ラインずつ順に各ラインを選択し、サステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯（発光）すべきセルに対応した部分アドレス電極A1、A2に対して、波高値Vaの正極性のアドレスパルスPaを印加する。選択されたラインにおいて、アドレスパルスPaの印加されたセルでは、部分アドレス電極A1、A2とサステイン電極Yとの間でアドレス放電が起こる。サステイン電極XがアドレスパルスPaと同極性の電位Vaxにバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xと部分アドレス電極A1、A2の間では放電は起きない。なお、ライン間の放電の結合を避ける上で、部分画面E11の最終ライン

(表示画面全体の n 番目のライン)と部分画面 $E12$ の先頭ライン〔 $(n+1)$ 番目のライン〕とについて、ライン選択のタイミングをずらすのが望ましい。

【0031】サステイン期間 TS は、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全ての部分アドレス電極 $A1$ を正極性の電位(例えば $V_s/2$)にバイアスし、最初に全てのサステイン電極 Y に波高値 V_s の正極性のサステインパルス P_s を印加する。その後、サステイン電極 X とサステイン電極 Y とに対して、交互に波高値 V_s の正極性のサステインパルス P_s を印加する。サステインパルス P_s の印加毎に、アドレス期間 TA に壁電荷を蓄積させたセルで面放電が生じる。

【0032】図4は他の実施形態のPDP2の要部断面図である。図4において、図2と同一の機能を有する構成要素には同一の符号を付してある。PDP2の構造上の特徴は、部分画面 $E11$ と部分画面 $E12$ との境界 DL に隔壁35が設けられている点である。隔壁35は、表示画面 $E1$ におけるライン方向の全長にわたって延び、放電空間30を列方向に2分割する。この隔壁35によって部分画面 $E11$ と部分画面 $E12$ との間における放電の結合が防止される。この場合、隔壁35はサブピクセルを画定する隔壁29と同時に形成される。ここで、必ずしも隔壁35が前面側の内壁と当接する必要はない。すなわち隔壁35と前面側の内壁との間に隙間が存在しても放電の結合が抑制される。それは、隔壁35を設けることによって部分アドレス電極 $A1$ 、 $A2$ 間における沿面距離が増大し、電極間隔が実効的に延びるからである。

【0033】上述の実施形態において、部分アドレス電極 $A1$ 、 $A2$ を、境界 DL に最も近いサステイン電極 Y の内の金属膜42のみと重なるように設けてもよい。それによれば、部分アドレス電極 $A1$ と部分アドレス電極 $A2$ との距離 D がさらに大きくなる。また、境界 DL において、絶縁層24及び蛍光体層28の両方又は一方を分離することにより、部分アドレス電極 $A1$ と部分アドレス電極 $A2$ との容量結合を防止し、アドレッシングの消費電力を低減することが可能である。

【0034】上述の実施形態においては、表示画面 $E1$ を同一ライン数の2つの部分画面 $E11$ 、 $E12$ に区画した例を説明したが、各部分画面 $E11$ 、 $E12$ のライン数を必ずしも同一にする必要はない。ただし、同一である方がアドレス期間の短縮の上で有利である。また、

表示画面 $E1$ を3個以上の部分画面に区画することができる。その場合には、アドレス電極構造を多層配線構造又はフローティング電極構造とすることにより、列方向の両端以外の部分画面に配列するアドレス電極と外部との電気的接続が可能である。さらに、アドレス電極 A を部分アドレス電極 $A1$ 、 $A2$ に分割する位置を、マトリクス表示の全ての列について同一にする必要はない。例えば、1列置き各列について他の列の位置に対して所定量(例えば1ライン分)だけシフトさせて、部分画面の境界線をジグザグ状とすることができる。

【0035】

【発明の効果】請求項1乃至請求項6の発明によれば、表示画面を区画してアドレッシングの高速化を図る場合に、部分画面の境界での誤放電を防止することができる。

【0036】請求項3の発明によれば、表示画面を構成する各部分画面における第2のサステイン電極の配列間隔を均等化することができ、部分画面内のライン間における放電の結合を防止することができる。

【0037】請求項6の発明によれば、隣接する部分画面どうしの間における放電の結合を防止することができる。

【図面の簡単な説明】

【図1】本発明のPDPの電極構造を示す平面図である。

【図2】本発明のPDPの要部断面図である。

【図3】印加電圧の波形図である。

【図4】他の実施形態のPDPの要部断面図である。

【図5】従来の面放電型PDPの電極構造を示す平面図である。

【図6】従来の面放電型PDPの内部構造を示す分解斜視図である。

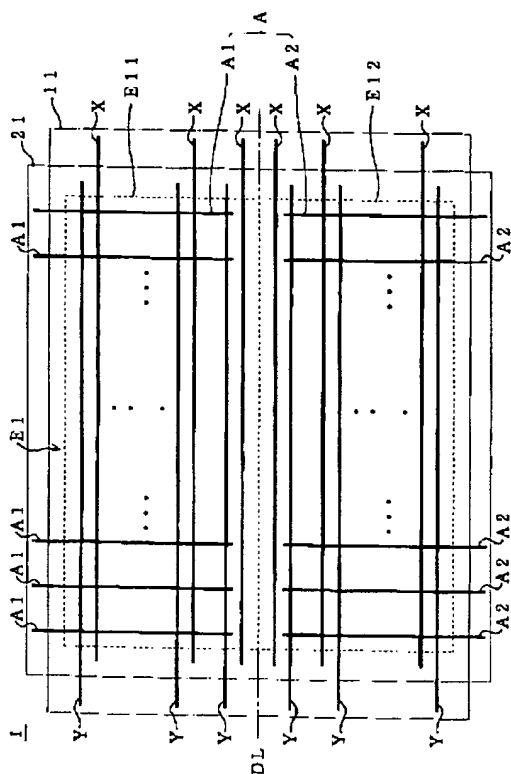
【図7】従来の問題点を説明するための図である。

【符号の説明】

- 1 PDP(面放電型PDP)
- 11 ガラス基板(第1の基板)
- 21 ガラス基板(第2の基板)
- A アドレス電極
- A1, A2 部分アドレス電極
- DL 境界(分割位置)
- E1 表示画面
- E11, E12 部分画面
- X サステイン電極(第1のサステイン電極)
- Y サステイン電極(第2のサステイン電極)

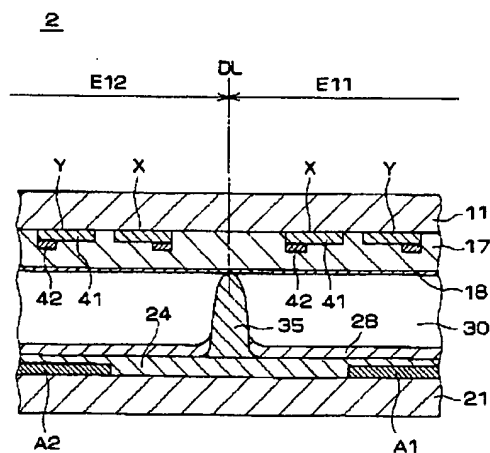
【図 1】

本発明のPDPの電極構造を示す平面図



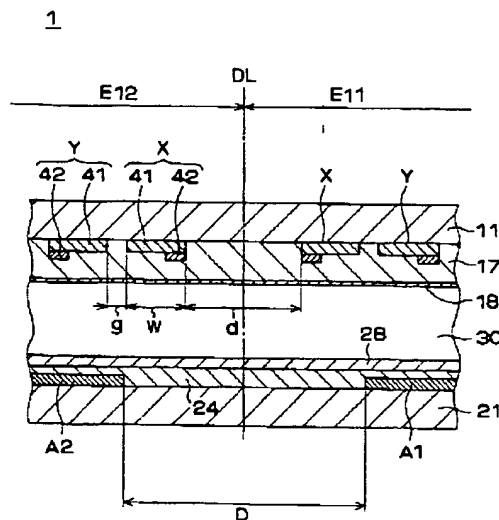
【図 4】

他の実施形態のPDPの要部断面図



【圖 2】

本発明のPDPの要部断面図



【図 3】

印加電圧の波形図

